

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-22096  
(P2000-22096A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/10	4 8 1	H 0 1 L 27/10	4 8 1
21/28	3 0 1	21/28	3 0 1 D
21/3205		21/88	Q

審査請求 未請求 請求項の数14 O L (全 5 頁)

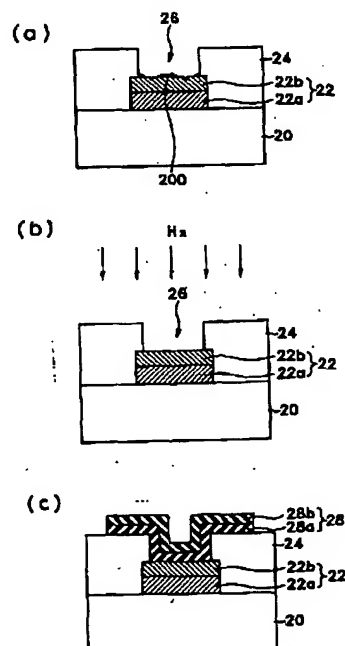
(21) 出願番号	特願平11-157794	(71) 出願人	591024111 現代電子産業株式会社 大韓民国京畿道利川市夫鉢邑牙英里山136-1
(22) 出願日	平成11年6月4日 (1999.6.4)	(72) 発明者	朴 相 ▲ウク▼ 大韓民国 ソウル 廣津区 廣壯洞 554-7 現代アパート501-1601
(31) 優先権主張番号	1 9 9 8 / P 2 5 7 8 1	(74) 代理人	100093399 弁理士 瀬谷 徹 (外1名)
(32) 優先日	平成10年6月30日 (1998.6.30)		
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】 (修正有)

【課題】 コンタクト抵抗を減少させ、コンタクト界面を安定化させることができる半導体素子の製造方法を提供する。

【解決手段】 上部に第1のドーパしたポリシリコン膜22aと第1のタングステンシリサイド膜22bとの積層膜からなる下部導電層パターンを形成した半導体基板20を提供する。次に、基板上に層間絶縁膜24を形成し、下部導電層パターンの第1のタングステンシリサイド膜の一部表面が露出するように、層間絶縁膜をエッチングしてコンタクト孔26を形成する。該基板をH<sub>2</sub>雰囲気下で急速熱処理にて熱処理する。その後、熱処理したコンタクト孔表面及び前記層間絶縁膜上に第2のドーパしたポリシリコン膜28aと第2のタングステンシリサイド膜28bを順次形成し、第2のタングステンシリサイド膜と第2のドーパしたポリシリコン膜をパターンニングし、下部導電層パターンとコンタクトする上部導電層パターンを形成する。



## 【特許請求の範囲】

【請求項1】 上部に第1のドーパしたポリシリコン膜と第1のタングステンシリサイド膜との積層膜からなる下部導電層パターンが形成された半導体基板を提供する段階；前記基板上に層間絶縁膜を形成する段階；前記下部導電層パターンの第1のタングステンシリサイド膜の一部表面が露出するように、前記層間絶縁膜をエッチングしてコンタクト孔を形成する段階；及び、前記コンタクト孔の形成された基板を、 $H_2$  雰囲気下で急速熱処理にて熱処理する段階を含むことを特徴とする半導体素子の製造方法。

【請求項2】 前記熱処理したコンタクト孔表面及び前記層間絶縁膜上に第2のドーパしたポリシリコン膜と第2のタングステンシリサイド膜を順次形成する段階；及び、前記第2のタングステンシリサイド膜と前記第2のドーパしたポリシリコン膜をパターンニングし、前記下部導電層パターンとコンタクトする上部導電層パターンを形成する段階をさらに含むことを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】 前記急速熱処理は、 $H_2$  雰囲気が、 $1.0 \times 10^{-3}$ 乃至 $1.0 \times 10^{-1}$ Torrの圧力で維持されることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項4】 前記急速熱処理は、900乃至1,000℃の温度で行われることを特徴とする請求項3記載の半導体素子の製造方法。

【請求項5】 前記急速熱処理は、20乃至50秒間行われることを特徴とする請求項4記載の半導体素子の製造方法。

【請求項6】 前記急速熱処理を進行する前にチャンバ内の圧力を、 $1.0 \times 10^{-6}$ 乃至 $1.0 \times 10^{-8}$ Torrの高真空状態に設定することを特徴とする請求項1記載の半導体素子の製造方法。

【請求項7】 前記コンタクト孔を形成する段階と前記急速熱処理を行う段階との間に、600乃至900℃の温度で熱処理を行う段階を含むことを特徴とする請求項1記載の半導体素子の製造方法。

【請求項8】 前記第1及び第2のドーパしたポリシリコン膜は、化学気相蒸着方式にて500乃至700℃の温度で形成することを特徴とする請求項2記載の半導体素子の製造方法。

【請求項9】 前記第1及び第2のドーパしたポリシリコン膜は、ドーパントとして $PH_3$ ガス、反応ガスとして $SiH_4$ ガスを用いて形成することを特徴とする請求項8記載の半導体素子の製造方法。

【請求項10】 前記 $SiH_4$ ： $PH_3$ ガスの比率は、1.1：1.5乃至1.5：1.8であることを特徴とする請求項9記載の半導体素子の製造方法。

【請求項11】 前記第1及び第2のタングステンシリサイド膜は、化学気相蒸着方式にて500乃至650℃

の温度で形成することを特徴とする請求項2記載の半導体素子の製造方法。

【請求項12】 前記第1及び第2のタングステンシリサイド膜は、反応ガスとして $SiH_2Cl_2$ ガスと $WF_6$ ガスを用いて形成することを特徴とする請求項11記載の半導体素子の製造方法。

【請求項13】 前記 $SiH_2Cl_2$ ： $WF_6$ の比率は、2：1乃至3：1.5であることを特徴とする請求項12記載の半導体素子の製造方法。

【請求項14】 前記下部導電層パターンはワード線であり、前記上部導電層パターンはビット線であることを特徴とする請求項2記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関し、特にコンタクト抵抗を低減できる半導体素子の製造方法に関する。

## 【0002】

【従来の技術】半導体メモリ素子において、セル選択信号はワード線に印加され、データ信号はビット線に印加され、選択されたセルにはデータ信号が印加される。このようなワード線とビット線は素子の周辺領域でコンタクトされる。また、信号遅延を防止するために、ワード線とビット線は伝導性のよい物質で形成される。例えば、従来にはドーパしたポリシリコン膜の上部にタングステンシリサイド膜を形成したタングステンシリサイド構造で形成された。

【0003】図1(a)及び図1(b)は、メモリ素子の周辺領域でワード線とビット線の一般的なコンタクト形成方法を説明するための断面図である。図1(a)を参照すれば、半導体基板10上に第1のドーパしたポリシリコン膜12aと第1のタングステンシリサイド膜12bとの積層構造からなるワード線12を形成する。基板全面に層間絶縁膜14を形成し、ワード線12の第1のタングステンシリサイド膜12bの表面の一部が露出するように、層間絶縁膜14をエッチングしてコンタクト孔16を形成する。次に、図1(b)に示すように、コンタクト孔16表面及び層間絶縁膜14上に、ビット線18用の物質として第2のドーパしたポリシリコン膜18aと第2のタングステンシリサイド膜18bを順次形成する。

## 【0004】

【発明が解決しようとする課題】前記コンタクト孔16の形成の際に、エッチングガスとして、たとえば $CxFy$ 、 $CF_4 + O_2$ 、 $CHxFy$ 、 $CHxBry$ のようなプラズマガスを用いる。しかしながら、エッチングの進行時において、プラズマガスのイオン衝撃 (ion bombardment) により、ワード線12の第1のタングステンシリサイド膜12bが露出した表面の結晶構造が非晶質及び準安定状態に変形し、ビット線18とのコンタクト抵抗

を増加させる。

【0005】また、第1のタングステンシリサイド膜12bのW-SiとSi-Wとの間の結合力の差によって、スパッタの歩留まり(sputtering yield)が増大する。このため、図1(a)に示すように、露出した第1のタングステンシリサイド膜12bの表面が荒くなり、ビット線18とのコンタクト抵抗が一層増加するだけでなく、コンタクト界面が不安定になる。

【0006】さらに、タングステンシリサイド膜12bのタングステンW及びシリコンSiと、プラズマガスとの反応により、第1の露出したタングステンシリサイド膜12bの表面上に、表1のような負の反応生成熱 $\Delta H$ を持つ工程副産物100が生成され、この工程副産物は、結局ビット線18のコンタクト抵抗を増大させる要因として作用する。

【0007】

【表1】

工程副産物	$\Delta H$
WC、SiC	-20.5
SiO <sub>2</sub>	-17
WN <sub>x</sub>	-12.6
W <sub>2</sub> N	-72
WO <sub>2</sub>	-533
WO <sub>3</sub>	-843

【0008】従って、本発明は、前述した従来の問題点を解決するためのもので、本発明の目的は、コンタクト抵抗を低減させ、コンタクト界面を安定化させることのできる半導体素子の製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記本発明の目的を達成するために、本発明は、まず、上部に第1のドーパしたポリシリコン膜と第1のタングステンシリサイド膜との積層膜からなる下部導電層パターンを形成した半導体基板を提供する。次に、基板上に層間絶縁膜を形成し、下部導電層パターンの第1のタングステンシリサイド膜の一部表面が露出するように、層間絶縁膜をエッチングしてコンタクト孔を形成し、コンタクト孔の形成された基板を、H<sub>2</sub>雰囲気下で急速熱処理にて熱処理する。次に、熱処理したコンタクト孔表面及び前記層間絶縁膜上に第2のドーパしたポリシリコン膜と第2のタングステンシリサイド膜を順次形成し、第2のタングステンシリサイド膜と第2のドーパしたポリシリコン膜をパターンニングし、下部導電層パターンとコンタクトする上部導電層パターンを形成する。

【0010】また、前記急速熱処理は、H<sub>2</sub> 雰囲気を10<sup>-3</sup>乃至10<sup>-1</sup>Torrの圧力で維持するとともに、900乃至1,000℃の温度で、20乃至50秒間行う。また、急速熱処理を行う前にチャンバ内の圧力を、10<sup>-6</sup>

乃至10<sup>-8</sup>Torrの高真空状態に設定するのが望ましい。

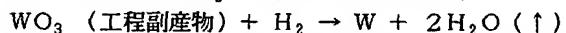
【0011】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好適実施例を説明する。図2(a)乃至図2(c)は、本発明の実施例における、半導体素子の周辺領域でワード線とビット線のコンタクト形成方法を説明するための断面図である。

【0012】図2(a)を参照すれば、半導体基板20上に第1のドーパしたポリシリコン膜22aと、第1のタングステンシリサイド膜22b(WSi<sub>x</sub>)とを順次形成する。ここで、第1のドーパしたポリシリコン膜22aは、ドーパントとしてPH<sub>3</sub>ガス、反応ガスとしてSiH<sub>4</sub>ガスを用いた化学気相蒸着方式(Chemical Vapor Deposition; CVD)にて、500乃至700℃の温度で形成される。望ましくは、SiH<sub>4</sub>:PH<sub>3</sub>の比率は1.1:1.5乃至1.5:1.8である。また、第1のドーパしたポリシリコン膜22aは、500乃至1,500Åの厚さで形成される。第1のタングステンシリサイド膜22bは、反応ガスとしてSiH<sub>2</sub>Cl<sub>2</sub>ガスとWF<sub>6</sub>ガスを用いてCVDにて、500乃至650℃の温度で形成される。望ましくは、SiH<sub>2</sub>Cl<sub>2</sub>:WF<sub>6</sub>の比率は、2:1乃至3:1.5である。また、第1のタングステンシリサイド膜22bは、500乃至1,500Åの厚さで形成される。また、第1のタングステンシリサイド膜22bの化学的当量比xは、2乃至2.8であるのが望ましい。

【0013】次に、第1のタングステンシリサイド膜22bと第1のドーパしたポリシリコン膜22aがパターンニングされてワード線22を形成し、基板全面に層間絶縁膜24を形成する。その後、プラズマガスを用いたエッチングにより、層間絶縁膜24がエッチングされ、ワード線22の第1のタングステンシリサイド膜22b表面の一部を露出させ、コンタクト孔26を形成する。この時、露出した第1のタングステンシリサイド膜22bの表面の結晶構造が、非晶質及び準安定状態に変形する。また、スパッタの歩留まりが増大するので、図2(a)に示すように、露出した第1のタングステンシリサイド膜22bの表面が荒くなる。また、第1のタングステンシリサイド膜22bの表面上に、表1のような工程副産物200が生成される。

【0014】図2(b)を参照すれば、図2(a)の構造がH<sub>2</sub> 雰囲気下で急速熱処理(Rapid Thermal Processing; RTP)にて熱処理される。望ましくは、前記RTPは、工程副産物200の還元反応を促進させるために、H<sub>2</sub>雰囲気を10<sup>-3</sup>乃至10<sup>-1</sup>Torrの圧力に維持しながら、900乃至1,000℃の温度で、20乃至50秒間行われる。このようなRTPにより、工程副産物200が次の様にH<sub>2</sub>と反応して除去される。



【0015】又、非晶質及び準安定化した第1のタング

ステンシリサイド膜22bの表面の結晶構造が再結晶化して本来の結晶に変形され、表面移動(surface migration)効果により荒い表面が平坦化される。また、第1のタングステンシリサイド膜22bの表面に残っている汚染物及び自然酸化膜が除去されて表面が清浄化される。その結果、ワード線22の表面特性が向上する。

【0016】しかる後、コンタクト孔26の表面及び層間絶縁膜24上に、第2のドーパしたポリシリコン膜28aと第2のタングステンシリサイド膜28bとを順次蒸着してパターンニングを行い、図2(c)に示すように、ワード線22とコンタクトするビット線28を形成する。ここで、第2のドーパしたポリシリコン膜28aと第2のタングステンシリサイド膜28bは、第1のドーパしたポリシリコン22a及び第1のタングステンシリサイド膜22bの形成条件と同様に形成される。則ち、第2のドーパしたポリシリコン膜28aは、ドーパントとして $\text{PH}_3$ ガス、反応ガスとして $\text{SiH}_4$ ガスを用いたCVDにて、500乃至700℃の温度で形成される。望ましくは、 $\text{SiH}_4 : \text{PH}_3$ の比率は、1 : 1.5乃至1.5 : 1.8である。また、第2のドーパしたポリシリコン膜28aは、500乃至1,500Åの厚さに形成される。第2のタングステンシリサイド膜28bは、反応ガスとして $\text{SiH}_2\text{Cl}_2$ ガスと $\text{WF}_6$ ガスを用いてCVDにて、500乃至650℃の温度で形成される。望ましくは、 $\text{SiH}_2\text{Cl}_2 : \text{WF}_6$ の比率は、2 : 1乃至3 : 1.5である。また、第2のタングステンシリサイド膜28bは、500乃至1,500Åの厚さで形成される。また、第2のタングステンシリサイド膜28bの化学的な当量比xは2乃至2.8であるのが望ましい。

【0017】前記RTP工程前に、第1のタングステンシリサイド膜22bを正方格子構造で形成するために、600乃至900℃の温度でさらに熱処理を行う。また、ワード線22の第1のタングステンシリサイド膜22b表面の汚染を防止するために、チャンバ内の圧力を

$10^{-6}$ 乃至 $10^{-8}$ Torrの高真空状態で設定するのが望ましい。

#### 【0018】

【発明の効果】前述した本発明によれば、ワード線とビット線をコンタクトするためのコンタクト孔の形成後、水素雰囲気下で急速熱処理を行い、コンタクト孔の形成時に行うエッチングにより、ワード線表面に生成する工程副産物と汚染物などが完全に除去され、表面の再結晶化ができ、ワード線の表面特性が向上する。これにより、ビット線とのコンタクト時に、コンタクト抵抗の増加が防止され、コンタクト界面が安定化して、コンタクト抵抗が大きく減少する。

【0019】一方、前述したコンタクト形成方法は、ワード線とビット線のコンタクトだけでなく、配線間のコンタクト形成にも適用できる。

【0020】尚、本発明は、前記実施例に限らず、本発明の技術的要旨から逸脱しない範囲内で多様に変形、実施が可能であるのはいうまでもない。

#### 【図面の簡単な説明】

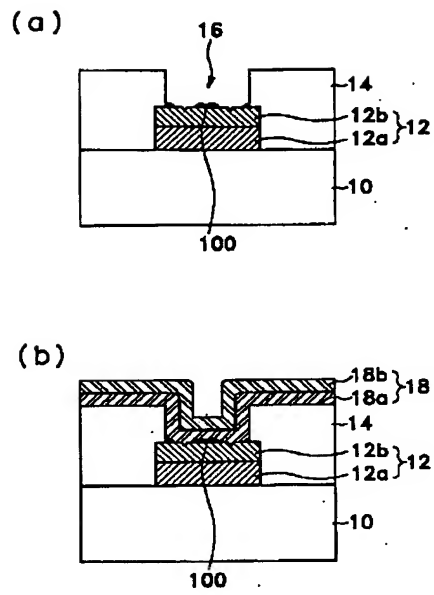
【図1】(a)(b)は、従来の半導体素子のワード線とビット線のコンタクト形成方法を説明するための断面図である。

【図2】(a)～(c)は、本発明の実施例による半導体素子のワード線とビット線のコンタクト形成方法を説明するための断面図である。

#### 【符号の説明】

- 20 半導体基板
- 22a 第1のドーパしたポリシリコン膜
- 22b 第1のタングステンシリサイド膜
- 22 ワード線
- 24 層間絶縁膜
- 26 コンタクト孔
- 28 ビット線
- 28a 第2のドーパしたポリシリコン膜
- 28b 第2のタングステンシリサイド膜

【図1】



【図2】

